

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176839

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 21/338

H01L 29/812

(21)Application number : 09-337463

(71)Applicant : NEC CORP

(22)Date of filing : 08.12.1997

(72)Inventor : WADA SHIGEMI

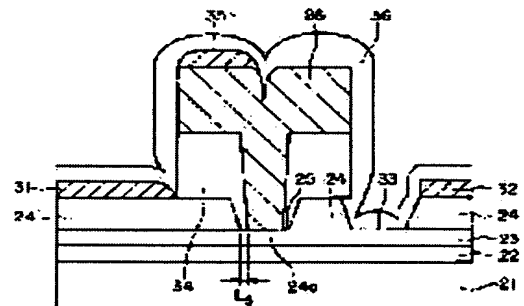
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is able to define the interval between a recess end on the source electrode side and a gate electrode, in a self-aligned manner, reduce a source resistance value and its fluctuations, and improve drain breakdown voltage, and its manufacturing method.

SOLUTION: A plurality of layers 22-24 containing an active layer 22 and a cap layer 24 of a semiconductor element are laminated on a semiconductor substrate 21.

A drain electrode 32, a source electrode 31 and a recess 25 are formed in this laminated part. A gate electrode 26 is formed in the recess 25. A part of the cap layer 24 existing between a gate recess part of the recess 25 and the drain electrode 32 is removed.



LEGAL STATUS

[Date of request for examination] 08.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3097637

[Date of registration] 11.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 11.08.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176839

(43) 公開日 平成11年(1999) 7月2日

(51) Int. Cl. ⁶
H01L 21/338
29/812

識別記号

F I
H01L 29/80

Q

審査請求 有 請求項の数 6 O L (全13頁)

(21) 出願番号 特願平9-337463

(22) 出願日 平成9年(1997)12月8日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 和田 茂己
東京都港区芝五丁目7番1号 日本電気株
式会社内

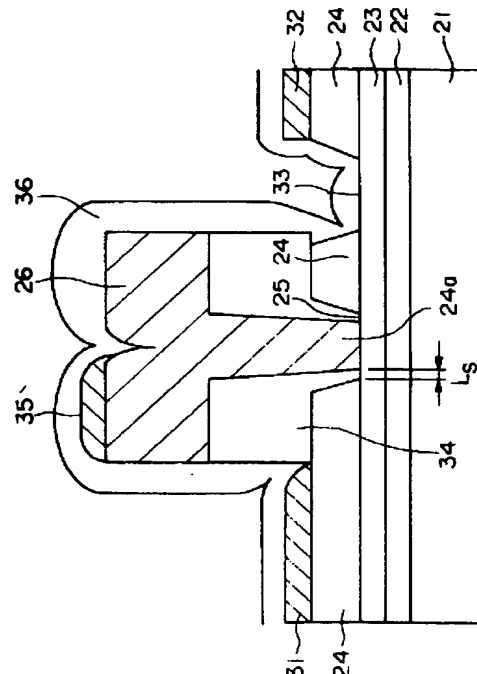
(74) 代理人 弁理士 高橋 詔男 (外4名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ソース電極側のリセス端とゲート電極との間隔 L_s を自己整合的に規定することができ、ソース抵抗値及びそのばらつきを低減することができ、かつドレイン耐圧の向上を図ることのできる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 21 上に、半導体素子の能動層 22 及びキャップ層 24 を含む複数の層 22～24 が積層され、この積層部分にドレイン電極 32、ソース電極 31 及びリセス 25 が形成され、リセス 25 内にゲート電極 26 が形成され、リセス 25 のゲートリセス部分とドレイン電極 32 との間にあるキャップ層 24 の一部を除去したことを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成された半導体装置において、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去したことを特徴とする半導体装置。

【請求項2】 半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成された半導体装置において、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域としたことを特徴とする半導体装置。

【請求項3】 半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成された半導体装置において、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を該キャップ層と反対導電型の伝導体領域としたことを特徴とする半導体装置。

【請求項4】 前記ゲートリセス部分とドレイン電極との間にある前記キャップ層の少なくとも一部に、第4の電極を設けたことを特徴とする請求項2または3記載の半導体装置。

【請求項5】 半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層を積層する工程と、該積層部分のゲート電極を形成する位置にリセスを形成する工程と、該リセス内にゲート電極を形成する工程と、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層を積層する工程と、該積層部分のゲート電極を形成する位置にリセスを形成する工程と、該リセス内にゲート電極を形成する工程と、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域または該キャップ層と反対導電型の伝導体領域のいずれかの領域とする工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、ソース抵抗が低くかつドレイン耐圧が高く、しかも素子の高性能化を図ることのできる電界効果トランジスタ（FET: Field Effect Transistor）を備えた半導体装置及びその製造方法に関する

ものである。

【0002】

【従来の技術】 半導体装置、特に、化合物半導体を用いた高出力用電界効果トランジスタ（以下、単にFETと略称する）においては、ソース抵抗の低減とドレイン耐圧の向上が重要な課題となっている。このソース抵抗とドレイン耐圧は、FETのゲート電極部が半導体能動層に接する部分の構造、つまりゲートリセス構造に大きく依存している。したがって、従来では、ソース抵抗を低減するためにソース側のリセス長を短くするとともに、ドレイン耐圧を向上させるためにドレイン側のリセス長を長くする構造、すなわち、リセス内に形成するゲート電極をソース側に寄せたオフセットゲート構造が良く用いられている。

【0003】 図11は、従来のオフセットゲート構造を有するヘテロ接合型高出力用FETを示す断面図であり、GaAs基板1上に、i-GaAsチャネル層2、n-AlGaAs電子供給層3、n'-GaAsキャップ層4が順次積層されて半導体基板5とされ、n'-GaAsキャップ層4のゲート電極を形成すべき部分を選択除去したゲートリセス部分6が形成され、このゲートリセス部分6にTi/Pt/Auの3層構造からなるオフセットゲート電極7が形成されている。

【0004】 次に、この高出力用FETの製造方法について図12に基づき説明する。まず、図12(a)に示すように、GaAs基板1上に、i-GaAsチャネル層2、n-AlGaAs電子供給層3、n'-GaAsキャップ層4を順次積層して半導体基板5とし、その後該半導体基板5に図示しないオーミック電極を形成した後、n'-GaAsキャップ層4上にフォトレジスト11を塗布し、光学露光にてパターニングして、開口12を形成し、BCl₃とSF₆からなる混合ガスを用いた選択ドライエッチング13にてn'-GaAsキャップ層4のゲートリセスを形成すべき部分のみを選択除去することによりゲートリセス部分6を形成する。

【0005】 次に、図12(b)に示すように、フォトレジスト11を除去した後、半導体基板5上に新たにフォトレジスト14を塗布し、光学露光にてパターニングしてゲート開口15を形成する。次に、図12(c)に示すように、電子ガン（Eガン）蒸着を用いて、Ti/Pt/Auの3層構造の金属層16を、Tiを30nm、Ptを50nm、Auを250nmそれぞれ堆積する。最後に、ゲート開口15内の金属層16のみを残すように、フォトレジスト14を酸素プラズマ処理と有機洗浄によって除去し、図12(d)に示すように、残った金属層16をオフセットゲート電極7とする。

【0006】

【発明が解決しようとする課題】 ところで、従来の高出力FETでは、オフセットゲート電極7を作製する際に、ゲートリセス部分6を形成するためのフォトレジ

10

20

30

40

50

ト 1 1 のパターンと、オフセットゲート電極 7 を形成するためのフォトリソ 1 4 のパターンとを、高精度で目合わせする必要がある。しかしながら、現実的には、リソグラフィ工程で目合わせマージンが必要になるために、図 1 3 に示すように、ソース電極側のリセス端 6 a とゲート電極 7 との間隔 L_s を $0.2 \mu m$ 程度以下まで小さくすることは困難である。従って、ソース電極とゲート電極 7 との間に発生するソース抵抗 R_s を低減するには限界があり、このソース抵抗 R_s をこの限界値以下に低減することは困難であるという問題点があった。

【0007】また、ソース電極側のリセス端 6 a とゲート電極 7 との間隔 L_s の精度は、リソグラフィの位置合わせの精度に依存するが、現状のリソグラフィ技術における位置合わせの精度は $\pm 0.1 \mu m$ 程度が限界である。したがって、この間隔 L_s がばらつくことによりソース抵抗 R_s がばらつくため、素子特性の均一性が悪化するという問題点もあった。

【0008】本発明は、上記の事情に鑑みてなされたものであって、ソース電極側のリセス端とゲート電極との間隔 L_s を自己整合的に規定することができ、ソース抵抗値及びそのばらつきを低減することができ、かつドレイン耐圧の向上を図ることのできる半導体装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な半導体装置及びその製造方法を提供する。すなわち、本発明の請求項 1 記載の半導体装置は、半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成され、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去したものである。

【0010】請求項 2 記載の半導体装置は、半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成され、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域としたものである。

【0011】請求項 3 記載の半導体装置は、半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層が積層され、該積層部分にドレイン電極、ソース電極及びリセスが形成され、該リセス内にゲート電極が形成され、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を該キャップ層と反対導電型の伝導体領域としたものである。

【0012】前記半導体装置は、前記ゲート電極を上部が拡大された T 字型としてもよく、また、前記ゲートリセス部分とドレイン電極との間にある前記キャップ層の

少なくとも一部に第 4 の電極を設けてもよい。

【0013】請求項 5 記載の半導体装置の製造方法は、半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層を積層する工程と、該積層部分のゲート電極を形成する位置にリセスを形成する工程と、該リセス内にゲート電極を形成する工程と、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去する工程とを含む方法である。

10 【0014】請求項 6 記載の半導体装置の製造方法は、半導体基板上に、半導体素子の能動層及びキャップ層を含む複数の層を積層する工程と、該積層部分のゲート電極を形成する位置にリセスを形成する工程と、該リセス内にゲート電極を形成する工程と、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域または該キャップ層と反対導電型の伝導体領域のいずれかの領域とする工程とを含む方法である。

【0015】前記リセスを形成する工程は、前記能動層上に、有機物または誘電体のいずれかからなる膜を形成し、該膜のゲート電極を形成する位置に開口を形成し、該開口を用いて自己整合的にリセスを形成し、該リセス内にゲート電極を形成する工程としてもよい。

【0016】前記キャップ層の一部を除去する工程は、塩素系ガスとフッ素系ガスを含む混合ガスを用いたドライエッチング、またはクエン酸を用いたウェットエッチングのいずれかにより、前記キャップ層の一部のみを選択エッチングする工程としてもよい。

30 【0017】また、前記キャップ層の少なくとも一部を高抵抗領域または伝導体領域のいずれかの領域とする工程は、前記キャップ層の少なくとも一部に対してイオン注入を行う工程としてもよく、このイオン注入は、注入イオンがゲート電極より拡散するよう斜めに注入するようにしてもよい。

40 【0018】本発明の請求項 1 記載の半導体装置では、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去したことにより、除去した部分の能動層であるチャネル層が表面空乏層を有する高抵抗領域になっている。請求項 2 記載の半導体装置では、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域としたことにより、その部分の能動層であるチャネル層が高抵抗領域になっている。

【0019】請求項 3 記載の半導体装置では、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を該キャップ層と反対導電型の伝導体領域としたことにより、前記キャップ層の少なくとも一部が高抵抗化され、その部分の能動層であるチャネル層はこの高抵抗化された領域を介して別の電極に接続される。

50 【0020】以上により、本発明の半導体装置では、ド

レイン電圧を増大させた場合、従来の自己整合型リセスゲート電極と比べてゲート電極のドレイン端に起こる電界集中が緩和され、ドレイン耐圧が向上する。さらに、ソース電極側のリセス端とゲート電極との間隔 L_s は自己整合的に決まるので、その距離を著しく近づけることが可能になるうえに、ばらつきも非常に小さくなる。これにより、ソース抵抗の低減とドレイン耐圧の向上を両立させ、半導体素子の高性能化を図ることが可能になる。

【0021】本発明の半導体装置の製造方法では、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去する工程、または前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域または該キャップ層と反対導電型の伝導体領域のいずれかの領域とする工程のいずれかを含むことにより、ゲートリセス部分とゲート電極が自己整合的に形成され、ソース電極側のリセス端とゲート電極との間隔 L_s が極めて短くなる。

【0022】このため、ソース抵抗 R_s の値が小さくなり、そのばらつきも小さくなる。また、前記キャップ層の少なくとも一部を高抵抗領域または該キャップ層と反対導電型の伝導体領域のいずれかの領域とすることにより、ドレイン耐圧が容易に向上する。

【0023】

【発明の実施の形態】本発明の半導体装置及びその製造方法の各実施形態について図面に基づき説明する。

【0024】【第1の実施形態】本発明の第1の実施形態の電界効果型トランジスタ(FET:半導体装置)について図1に基づき説明する。このFETは、半絶縁性GaAs基板21上に、厚さが15nmの $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層からなるチャネル層22、有効ドナー密度が $5 \times 10^{18} \text{ cm}^{-3}$ で厚さが30nmの $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層からなる電子供給層23、有効ドナー密度が $5 \times 10^{18} \text{ cm}^{-3}$ で厚さが60nmの $n\text{-GaAs}$ 層からなる低抵抗化のための n^+ キャップ層24が形成されている。

【0025】この n^+ キャップ層24には、選択的に除去することによりゲートリセス領域25が形成され、該ゲートリセス領域25内にゲート長が0.25 μm のWSi/Ti/Pt/AuからなるT型ゲート電極26が前記ゲートリセス領域25に対して自己整合的に形成されている。また、このT型ゲート電極26に対しては、AuGe/Ni/Auからなるソース電極31が自己整合的に形成されるとともに、AuGe/Ni/Auからなるドレイン電極32がステッパー等による目合わせ露光により形成されている。

【0026】このT型ゲート電極26とドレイン電極32との間には、両オーミック電極26、32に対して n^+ キャップ層24を自己整合的に選択除去することによ

り第2のリセス領域33が形成されている。また、このT型ゲート電極26とゲートリセス領域25との間には絶縁材料である SiO_2 膜34が形成され、一方、T型ゲート電極26の上面にはオーミック金属膜35が形成され、さらに、このFET全面には、厚さが100nmの SiN と SiO_2 とからなる保護膜36が形成されている。

【0027】図2は、本実施形態のFET(図中A)と従来のゲートリセス構造を有するFET(図中B)それぞれのドレインの電圧-電流特性を示す図である。ここでは、それぞれのゲート幅を20 μm とし、ゲート電極-ソース電極間の電圧 V_{gs} を0.2Vの間隔で変化させ最大0.6Vとした。この図によれば、本実施形態のFETでは、ドレイン電圧を増大させた場合、従来のリセスゲート電極のFETと比べ、ゲート電極のドレイン端に起こる電界集中が緩和され、ドレイン耐圧が向上することがわかる。

【0028】本実施形態のFETによれば、ソース電極31側のリセス端24aとゲート電極26との間隔 L_s は自己整合的に決まるので、その距離を善しく近づけることができるうえ、ばらつきも非常に小さくすることができる。実際、同じゲート長と同じしきい値を持つ本実施形態のFETと、従来の目合わせによるオフセットゲート構造のFETを比較した場合、その素子の相互コンダクタンス(gm)は20%程度向上し、gmのばらつき($\sigma \text{ gm}$)も約15%低下するという結果を得た。

【0029】【第2の実施形態】本発明の第2の実施形態の電界効果型トランジスタ(FET:半導体装置)の製造方法について図3及び図4に基づき説明する。まず、図3(a)に示すように、半絶縁性GaAs基板21上に、厚さが9nmの $i\text{-In}_{0.25}\text{Ga}_{0.75}\text{As}$ 層からなるチャネル層41、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが35nmの $n\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層からなる電子供給層42、有効ドナー密度が $5 \times 10^{18} \text{ cm}^{-3}$ で厚さが65nmの $n\text{-GaAs}$ 層からなる低抵抗化のための n^+ キャップ層43を形成する。

【0030】次いで、熱CVD法にて約300nmの SiO_2 膜44を形成し、光学露光法を用いてフォトレジスト45をパターンニングし、 CF_4 ガスを用いたドライエッチング46により0.3 μm のゲート開口47を形成する。次いで、フォトレジスト45を酸素プラズマと有機洗浄により除去した後、図3(b)に示すように、 BCl_3 と SF_6 の混合ガスを用いたAlGaAs/GaAsの選択ドライエッチング51を実施し、自己整合的にゲートリセス領域52を形成する。この時、ゲートリセス長はエッチングの時間を制御することによって正確に制御することができる。

【0031】次いで、図3(c)に示すように、基板全面にWSi/Ti/Pt/Au(厚さはそれぞれ40nm/25nm/35nm/300nm)からなる多層膜

53を堆積し、図示しないフォトレジストをマスクとして用いてアルゴン(Ar)によるイオンミリングを実施し、T型ゲート電極54を形成する。この時、T型ゲート電極54端とオーミック電極側のリセス端52aの距離Lsは、自己整合的に決まるため、目合わせなどのマージンを考慮することなく極端に短くすることができる。

【0032】次いで、図3(d)に示すように、形成したT型ゲート電極54をマスクとして、このT型ゲート電極54の下部のSiO₂膜44aを残してその他の部分のSiO₂膜44bをCF₄ガスによるドライエッチング46にて除去する。次いで、図4(e)に示すように、T型ゲート電極54上とドレイン電極形成位置までの間をフォトレジスト62にて覆い、Eガン蒸着によりAuGe/Ni/Au(厚さはそれぞれ100nm/35nm/50nm)からなるオーミック金属63を堆積する。

【0033】次いで、フォトレジスト62を有機洗浄にて除去することで、オーミック金属63をリフトオフし、さらに窒素雰囲気中にて450℃のアロイをすることでソース電極64とドレイン電極65を形成する。この時、ソース電極64はT型ゲート電極54に対して自己整合的に形成されるため、両電極64、54間の距離を短くすることができ、ソース抵抗値はさらに低減することができる。

【0034】次いで、図4(f)に示すように、ソース電極64とT型ゲート電極54上の一部をフォトレジスト66にてマスクし、BCl₃とSF₆の混合ガスを用いたAlGaAs/GaAsの選択ドライエッチングにて、ドレイン電極65とT型ゲート電極54間のn⁺キャップ層43の一部43aのみを除去する。最後に、この基板全体を覆うようにSiN/SiO₂(厚さはそれぞれ35nm/65nm)を堆積することにより保護膜68を形成し、FETを完成する。

【0035】本実施形態のFETの製造方法によれば、ゲートリセス領域52とT型ゲート電極54を自己整合的に形成しているため、リソグラフィの目合わせ精度の制約を受けることなく、T型ゲート電極54端とオーミック電極側のリセス端52aの距離Lsを極めて短くすることができる。また、T型ゲート電極54部分を目合わせマージンとして利用することで、このゲート電極54とドレイン電極65側のキャップ層43の少なくとも一部43aを容易に除去することができる。したがって、ソース抵抗Rsの値とそのばらつきを小さくし、さらにドレイン耐圧の向上を実現したFETを容易に作製することができる。

【0036】〔第3の実施形態〕本発明の第3の実施形態の電界効果型トランジスタ(FET:半導体装置)について図5に基づき説明する。このFETは、半絶縁性GaAs基板21上に、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$

で厚さが35nmのn-GaAs層からなるチャネル層71、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが1.5nmのn-Al_{0.3}Ga_{0.7}As層からなりリセス構造を形成するためのエッチングストップ層72、有効ドナー密度が $5 \times 10^{18} \text{ cm}^{-3}$ で厚さが60nmのn⁺-GaAs層からなる低抵抗化のためのn⁺キャップ層24が形成されている。

【0037】このn⁺キャップ層24には、選択的に除去することによりゲートリセス領域25が形成され、該ゲートリセス領域25内にゲート長が0.25μmのWSiN/Ti/Pt/AuからなるT型ゲート電極73が前記ゲートリセス領域25に対して自己整合的に形成されている。また、このT型ゲート電極73に対しては、AuGe/Ni/Auからなるソース電極31が自己整合的に形成されるとともに、AuGe/Ni/Auからなるドレイン電極32がステッパー等による目合わせ露光により形成されている。

【0038】このT型ゲート電極73とドレイン電極32との間には、n⁺キャップ層24の一部に、T型ゲート電極73に対して自己整合的に酸素(O)を低加速電圧でイオン注入することで該n⁺キャップ層24の一部を高抵抗化した高抵抗領域74が形成されている。また、このT型ゲート電極73とゲートリセス領域25との間には絶縁材料であるSiO₂膜34が形成され、一方、T型ゲート電極73の上面にはオーミック金属膜35が形成され、さらに、このFET全面には、厚さが80nmのSiNとSiO₂とからなる保護膜75が形成されている。

【0039】本実施形態のFETによれば、ソース電極31側のリセス端24aとT型ゲート電極73との間隔Lsは自己整合的に決まるので、その距離を善く近づけることができるうえ、ばらつきも非常に小さくすることができる。

【0040】〔第4の実施形態〕本発明の第4の実施形態の電界効果型トランジスタ(FET:半導体装置)の製造方法について図6及び図7に基づき説明する。まず、図6(a)に示すように、半絶縁性GaAs基板21上に、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが35nmのn-GaAs層からなるチャネル層71、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが1.5nmのn-Al_{0.3}Ga_{0.7}As層からなりリセス構造を形成するためのエッチングストップ層72、有効ドナー密度が $4 \times 10^{18} \text{ cm}^{-3}$ で厚さが80nmのn⁺-GaAs層からなる低抵抗化のためのn⁺キャップ層81を形成する。

【0041】次いで、熱CVD法にて約300nmのSiO₂膜44を形成し、光学露光法を用いてフォトレジスト45をパターンニングし、CF₄ガスを用いたドライエッチング46により0.30μmの第1のゲート開口82を形成する。次いで、フォトレジスト45を酸素

プラズマと有機洗浄により除去した後、図6(b)に示すように、 BCl_3 と SF_6 の混合ガスを用いた $\text{AlGaAs}/\text{GaAs}$ の選択ドライエッチング51を実施し、 n^+ キャップ層81の一部を除去し、ゲートリセス領域52を第1のゲート開口82に対して自己整合的に形成する。

【0042】次いで、図6(c)に示すように、 p -CVD法にて、約200nmの SiO_2 膜を形成し、さらに CF_4 ガスを用いたドライエッチング46を行い、第1のゲート開口82とゲートリセス領域52の内部に SiO_2 膜からなる側壁83を形成し、第1のゲート開口82の開口幅を0.2 μm に縮小する。

【0043】次いで、図6(d)に示すように、基板全面に $\text{WSi}/\text{Ti}/\text{Au}$ (厚さはそれぞれ50nm/25nm/400nm) からなる多層膜84を堆積し、図示しないフォトリソをマスクとして用いてアルゴン(Ar)によるイオンミリングを実施し、T型ゲート電極85を形成する。この時、T型ゲート電極85端とオーミック電極側のリセス端52aの距離 L_s は、自己整合的に決まるため、目合わせなどのマージンを考慮することなく極端に短くすることができる。

【0044】次いで、図7(e)に示すように、形成したT型ゲート電極85をマスクとして、このT型ゲート電極85の下部の SiO_2 膜44aを残してその他の部分の SiO_2 膜44bを CF_4 ガスによるドライエッチング46にて除去する。次いで、図7(f)に示すように、T型ゲート電極85上とドレイン電極形成位置までの間をフォトリソ62にて覆い、Eガン蒸着により $\text{AuGe}/\text{Ni}/\text{Au}$ (厚さはそれぞれ120nm/40nm/30nm) からなるオーミック金属86を堆積する。

【0045】次いで、フォトリソ62を有機洗浄にて除去することで、オーミック金属86をリフトオフし、さらに窒素雰囲気中にて450℃のアロイをすることでソース電極87とドレイン電極88を形成する。この時、ソース電極87はT型ゲート電極85に対して自己整合的に形成されるため、両電極87、85間の距離を短くことができ、ソース抵抗値はさらに低減することができる。

【0046】次いで、図7(g)に示すように、ソース電極87とT型ゲート電極85上の一部をフォトリソ66にてマスクし、T型ゲート電極85に対して自己整合的に酸素(O)を低加速電圧(エネルギー:15keV、注入量:1 $\times 10^{13}\text{cm}^{-2}$)でイオン注入し、 n^+ キャップ層81の一部を高抵抗化した高抵抗領域90を形成する。最後に、この基板全体を覆うように SiN/SiO_2 (厚さはそれぞれ50nm/50nm) を堆積することにより保護膜91を形成し、FETを完成する。

【0047】本実施形態のFETの製造方法によれば、

n^+ キャップ層81の一部を高抵抗化した高抵抗領域90を形成するので、リソグラフィの目合わせ精度の制約を受けることなく、T型ゲート電極85端とオーミック電極側のリセス端52aの距離 L_s を極めて短くすることができる。したがって、ソース抵抗 R_s の値とそのばらつきを小さくし、さらにドレイン耐圧の向上を実現したFETを容易に作製することができる。

【0048】[第5の実施形態] 本発明の第5の実施形態の電界効果型トランジスタ(FET:半導体装置)について図8に基づき説明する。このFETは、半絶縁性GaAs基板21上に、有効ドナー密度が $2 \times 10^{18}\text{cm}^{-3}$ で厚さが35nmの n -GaAs層からなるチャネル層71、有効ドナー密度が $2 \times 10^{18}\text{cm}^{-3}$ で厚さが1.5nmの n -Al_{0.2}Ga_{0.8}As層からなりリセス構造を形成するためのエッチングストップ層72、有効ドナー密度が $5 \times 10^{18}\text{cm}^{-3}$ で厚さが60nmの n^+ -GaAs層からなる低抵抗化のための n^+ キャップ層24が形成されている。

【0049】この n^+ キャップ層24には、選択的に除去することによりゲートリセス領域25が形成され、該ゲートリセス領域25内にゲート長が0.25 μm の $\text{WSiN}/\text{Ti}/\text{Pt}/\text{Au}$ からなるT型ゲート電極73が前記ゲートリセス領域25に対して自己整合的に形成されている。また、このT型ゲート電極73に対しては、 $\text{AuGe}/\text{Ni}/\text{Au}$ からなるソース電極31が自己整合的に形成されるとともに、 $\text{AuGe}/\text{Ni}/\text{Au}$ からなるドレイン電極32がステッパー等による目合わせ露光により形成されている。

【0050】このT型ゲート電極73とドレイン電極32との間には、 n^+ キャップ層24の一部に、T型ゲート電極73に対して自己整合的に酸素(O)を低加速電圧でイオン注入し、さらにアニールすることで、 n^+ キャップ層24と反対導電型の p 型伝導体領域101が形成され、 p 型伝導体領域101の上には、 $\text{Ti}/\text{Pt}/\text{Au}$ からなる第4の電極102が形成されている。

【0051】また、このT型ゲート電極73とゲートリセス領域25との間には絶縁材料である SiO_2 膜34が形成され、一方、T型ゲート電極73の上面にはオーミック金属膜35が形成され、さらに、このFET全面には、厚さが80nmの SiN と SiO_2 とからなる保護膜75が形成されている。

【0052】本実施形態のFETによれば、ソース電極31側のリセス端25aとT型ゲート電極73との間隔 L_s は自己整合的に決まるので、その距離を善く近づけることができるうえ、ばらつきも非常に小さくすることができる。また、 n^+ キャップ層24の一部に、該 n^+ キャップ層24と反対導電型の p 型伝導体領域101を形成し、 p 型伝導体領域101の上に $\text{Ti}/\text{Pt}/\text{Au}$ からなる第4の電極102を形成したので、該第4の電極102を、例えば、ソース電極31と同電位にした場

合には、第1の実施形態のFETよりも、1.3倍以上のより大きなドレイン耐圧の向上を実現することができる。

【0053】〔第6の実施形態〕本発明の第6の実施形態の電界効果型トランジスタ(FET:半導体装置)の製造方法について図9及び図10に基づき説明する。まず、図9(a)に示すように、半絶縁性GaAs基板21上に、厚さが15nmの $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層からなるチャンネル層111、有効ドナー密度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが33nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層からなる電子供給層112、有効ドナー密度が $4 \times 10^{18} \text{ cm}^{-3}$ で厚さが60nmの $n^+\text{-GaAs}$ 層からなる低抵抗化のための n^+ キャップ層113を形成する。

【0054】次いで、熱CVD法とプラズマCVD法にて、約250nmの SiO_2/SiON の多層膜(膜厚はそれぞれ50nm/200nm)114を形成し、EB露光法を用いてフォトレジスト115をパターンニングし、 CF_4 と H_2 の混合ガスを用いたドライエッチング116により、0.15 μm のゲート開口117を形成する。

【0055】次いで、フォトレジスト115を酸素プラズマと有機洗浄により除去した後、図9(b)に示すように、クエン酸系のエッチャントを用いた $\text{AlGaAs}/\text{GaAs}$ の選択ウェットエッチングを20℃以下の低温で実施し、 n^+ キャップ層113の一部を除去し、ゲートリセス領域52をゲート開口117に対して自己整合的に形成する。この時、ゲートリセス長はエッチングの温度と時間によって正確に制御することができる。

【0056】次いで、図9(c)に示すように、熱CVD法にて約80nmの SiO_2 膜を形成し、さらに CF_4 ガスを用いたドライエッチング46を行い、ゲート開口117とゲートリセス領域52の内部に SiO_2 膜からなる側壁121を形成する。

【0057】次いで、図9(d)に示すように、基板全面に $\text{WSi}/\text{Ti}/\text{Au}$ (厚さはそれぞれ35nm/25nm/350nm)からなる多層膜122を堆積し、図示しないフォトレジストをマスクとして用いてアルゴン(Ar)によるイオンミリングと CF_4 によるドライエッチングを実施し、T型ゲート電極123を形成する。この時、T型ゲート電極123端とオーミック電極側のリセス端52aの距離 L_s は、自己整合的に決まるため、目合わせなどのマージンを考慮することなく極端に短くすることができる。

【0058】次いで、図10(e)に示すように、形成したT型ゲート電極123をマスクとして、多層膜114の内 SiON 膜のみを CF_4 ガスによるドライエッチング46にて除去する。次いで、図10(f)に示すように、T型ゲート電極123上とドレイン電極形成位置をフォトレジスト124にて覆い、T型ゲート電極123に対して自己整合的にマンガン(Mn)を比較的低加

速の電圧でイオン注入(エネルギー:25keV、注入量: $2 \times 10^{13} \text{ cm}^{-2}$)125し、 n^+ キャップ層113の一部にp型の伝導体領域126を形成する。

【0059】次いで、フォトレジスト124を酸素プラズマと有機洗浄にて除去した後、図10(g)に示すように、T型ゲート電極123上とドレイン電極形成部位までの間をフォトレジスト62にて覆い、バッファードフッ酸にて基板面上に残存した多層膜114の SiO_2 膜を除去し、真空蒸着により $\text{AuGe}/\text{Ni}/\text{Au}$ (厚さはそれぞれ100nm/33nm/30nm)からなるオーミック金属131を堆積する。

【0060】次いで、フォトレジスト62を有機洗浄にて除去した後、図10(h)に示すように、p型伝導体領域126の上に開口を有するフォトレジスト132を形成し、バッファードフッ酸にて基板面上に残存した多層膜114の SiO_2 膜を除去し、真空蒸着により AuMn/Au (厚さはそれぞれ20nm/15nm)からなるオーミック金属133を堆積する。

【0061】次いで、フォトレジスト132を有機洗浄にて除去することで、オーミック金属133をリフトオフし、さらに窒素雰囲気中にて450℃のアロイをすることでソース電極135、ドレイン電極136及び第4の電極137を形成する。

【0062】この時、ソース電極135はT型ゲート電極123に対して自己整合的に形成されるため、両電極135、123間の距離を短くすることができ、ソース抵抗値をさらに低減することができる。最後に、この基板全体を覆うように SiN/SiO_2 (厚さはそれぞれ50nm/50nm)を堆積することにより保護膜91を形成し、FETを完成する。

【0063】本実施形態のFETの製造方法によれば、ゲートリセス領域52とT型ゲート電極123を自己整合的に形成しているので、リソグラフィの目合わせ精度の制約を受けることなく、T型ゲート電極123端とオーミック電極側のリセス端52aの距離 L_s を極めて短くとることができる。

【0064】また、T型ゲート電極123部分をマスクとして利用することで、このゲート電極123とドレイン電極136側のキャップ層113の少なくとも一部にp型の伝導体領域126を形成することができる。したがって、ソース抵抗 R_s の値とそのばらつきを小さくし、さらにドレイン耐圧の向上を実現したFETを容易に作製することができる。

【0065】

【発明の効果】以上説明した様に、本発明の半導体装置によれば、ドレイン電圧を増大させた場合においても、従来の自己整合型リセスゲート電極と比べてゲート電極のドレイン端に起こる電界集中を緩和することができ、ドレイン耐圧を向上させることができる。また、ソース電極側のリセス端とゲート電極との間隔 L_s は自己整合

的に決まるので、その距離を著しく近づけることができ、しかもばらつきを非常に小さくすることができる。したがって、ソース抵抗の低減とドレイン耐圧の向上を両立させることができ、半導体素子の高性能化を図ることができる。

【0066】本発明の半導体装置の製造方法によれば、前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の一部を除去する工程、または前記リセスのゲートリセス部分と前記ドレイン電極との間にある前記キャップ層の少なくとも一部を高抵抗領域または該キャップ層と反対導電型の伝導体領域のいずれかの領域とする工程のいずれかを含むこととしたので、ゲートリセス部分とゲート電極を自己整合的に形成することができ、ソース電極側のリセス端とゲート電極との間隔 L_s を極めて短くすることができる。したがって、ソース抵抗 R_s の値が小さく、そのばらつきも小さく、さらにドレイン耐圧が向上した半導体装置を容易に作製することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のFETを示す断面図である。

【図2】 本発明の第1の実施形態のFETと従来のゲートリセス構造を有するFETそれぞれのドレインの電圧-電流特性を示す図である。

【図3】 本発明の第2の実施形態のFETの製造方法を示す過程図である。

【図4】 本発明の第2の実施形態のFETの製造方法を示す過程図である。

【図5】 本発明の第3の実施形態のFETを示す断面図である。

【図6】 本発明の第4の実施形態のFETの製造方法を示す過程図である。

【図7】 本発明の第4の実施形態のFETの製造方法を示す過程図である。

【図8】 本発明の第5の実施形態のFETを示す断面図である。

【図9】 本発明の第6の実施形態のFETの製造方法を示す過程図である。

【図10】 本発明の第6の実施形態のFETの製造方法を示す過程図である。

【図11】 従来のオフセットゲート構造を有するヘテロ接合型高出力用FETを示す断面図である。

【図12】 従来のオフセットゲート構造を有するヘテロ接合型高出力用FETの製造方法を示す過程図である。

【図13】 従来のオフセットゲート構造を有するヘテロ接合型高出力用FETの不具合を示す断面図である。

【符号の説明】

1 GaAs基板

2 i-GaAsチャネル層

3 n-AlGaAs電子供給層

4 n⁺-GaAsキャップ層

5 半導体基板

6 ゲートリセス部分

7 オフセットゲート電極

11 フォトレジスト

12 開口

13 選択ドライエッチング

14 フォトレジスト

10 15 ゲート開口

16 金属層

21 半絶縁性GaAs基板

22 チャネル層

23 電子供給層

24 n⁺キャップ層

25 ゲートリセス領域

26 T型ゲート電極

31 ソース電極

32 ドレイン電極

20 33 第2のリセス領域

34 SiO₂膜

35 オーミック金属膜

36 保護膜

41 チャネル層

42 電子供給層

43 n⁺キャップ層

44、44a、44b SiO₂膜

45 フォトレジスト

46 ドライエッチング

30 47 ゲート開口

51 選択ドライエッチング

52 ゲートリセス領域

52a リセス端

53 多層膜

54 T型ゲート電極

62 フォトレジスト

63 オーミック金属

64 ソース電極

65 ドレイン電極

40 66 フォトレジスト

68 保護膜

71 チャネル層

72 エッチングストップ層

73 T型ゲート電極

74 高抵抗領域

75 保護膜

81 n⁺キャップ層

82 第1のゲート開口

83 側壁

50 84 多層膜

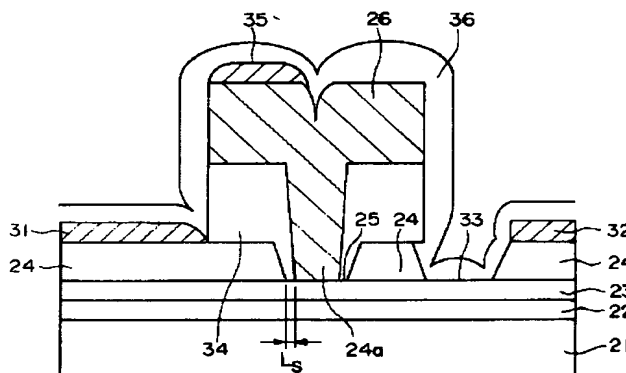
15

85 T型ゲート電極
 86 オーミック金属
 87 ソース電極
 88 ドレイン電極
 90 高抵抗領域
 91 保護膜
 101 p型伝導体領域
 102 第4の電極
 111 チャネル層
 112 電子供給層
 113 n⁻キャップ層
 114 多層膜
 115 フォトリソグ
 116 ドライエッチング
 117 ゲート開口

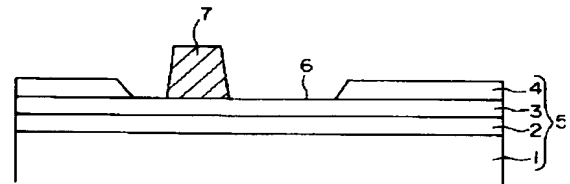
16

121 側壁
 122 多層膜
 123 T型ゲート電極
 124 フォトリソグ
 125 イオン注入
 126 p型の伝導体領域
 131 オーミック金属
 132 フォトリソグ
 133 オーミック金属
 10 135 ソース電極
 136 ドレイン電極
 137 第4の電極
 Ls ソース電極側のリセス端とゲート電極との間隔
 (距離)
 Rs ソース抵抗

【図1】



【図11】



【図2】

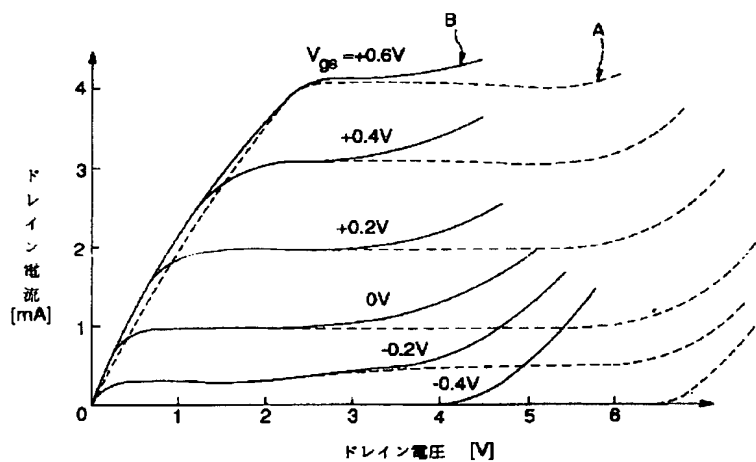
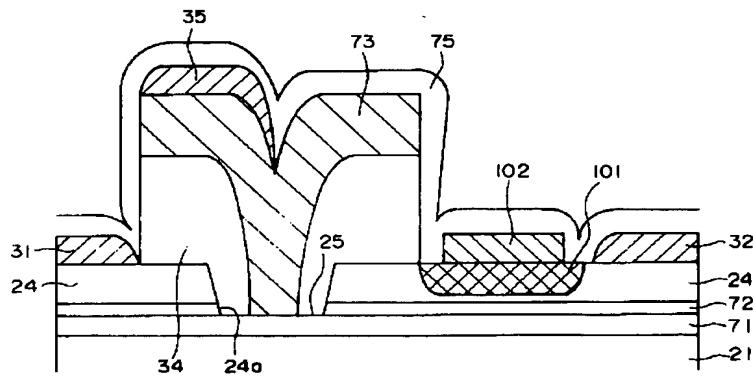


Fig. 1 consists of four cross-sectional views labeled (a), (b), (c), and (d), illustrating the stages of a semiconductor device's construction. Each view shows a substrate with multiple layers (21, 71, 72, 81) and a top layer (44). In (a), a first layer (45) is formed on the top layer, and a second layer (46) is formed on top of it. In (b), a third layer (51) is formed on top of the second layer, and a fourth layer (52) is formed on top of it. In (c), a fifth layer (53) is formed on top of the fourth layer, and a sixth layer (54) is formed on top of it. In (d), a seventh layer (55) is formed on top of the sixth layer, and an eighth layer (56) is formed on top of it. The layers are labeled with reference numerals: 21, 71, 72, 81, 44, 45, 46, 51, 52, 53, 54, 55, 56.

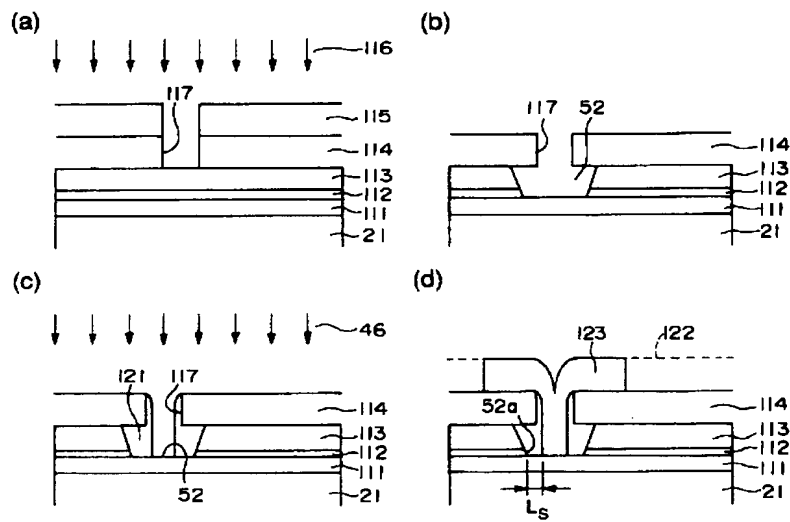
Fig. 10 consists of four cross-sectional views labeled (e), (f), (g), and (h), illustrating the manufacturing process of a semiconductor device.

- (e)** Shows a substrate with layers 21, 71, 72, and 81. A central region 44b is defined by a dashed line. On either side of 44b are regions 44a, each containing a structure 85. Downward arrows 46 indicate a process step.
- (f)** Shows the next stage where a layer 62 is added on top of 85. A new layer 86 is formed on top of 62. A region 87 is shown on the left side. The central region 44a and structure 85 are still visible.
- (g)** Shows a further stage where a layer 88 is added on top of 86. A region 90 is shown on the right side, containing a structure 85. A dashed line 91 indicates a boundary. Downward arrows 89 indicate a process step.
- (h)** Shows the final stage where a layer 66 is added on top of 88. A region 87 is shown on the left side. The central region 44a and structure 85 are still visible. A dashed line 91 indicates a boundary. Downward arrows 89 indicate a process step.

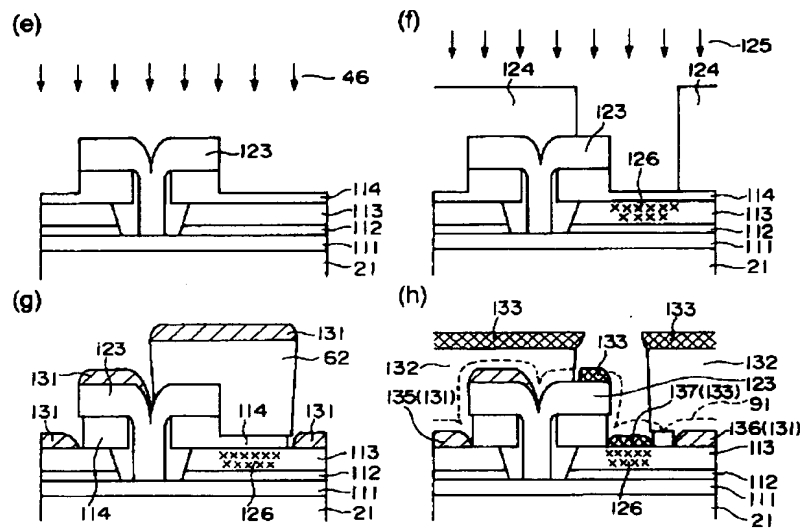
【図 8】



【図 9】



【図 10】



【図 12】

